

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF KOREA

Publication number : 1999-0046930

Date of publication of application : July 5, 1999

Int. Cl. : H01L 21/28

Application number : 10-1997-0065101

Applicant : Samsung Electronics Corp.

Date of filing : December 1, 1997

Inventor : Yong J. Park

Jung S. Kim

Title of the invention : Semiconductor device having low metal contact resistance and method of fabricating the same

Abstract :

Semiconductor device having a low metal contact resistance and fabrication method thereof are provided. Multi-level interlayer insulating layers are formed on a semiconductor substrate. The multi-level interlayer insulating layers are dry-etched to form a contact hole exposing a portion of the substrate. The multi-level interlayer insulating layers are then wet-etched using a wet etchant, thereby increasing the lower width of the contact hole. Here, a lower layer of the multi-level interlayer insulating layers has a relatively high etch rate, compared to an upper layer of the multi-level interlayer insulating layers. Accordingly, it is possible to minimize the contact resistance.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 21 /28

(11) 공개번호 특1999-0046930

(43) 공개일자 1999년07월05일

(21) 출원번호 10-1997-0065101

(22) 출원일자 1997년12월01일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기도 수원시 팔달구 매탄3동 416
박용직

경기도 수원시 팔달구 매탄동 주공4단지 408동 405호

김정석

(74) 대리인 경기도 성남시 분당구 야탑동 장미마을 동부아파트 112동 802호
임창현

심사청구 : 있음

(54) 반도체 장치 및 그의 제조 방법

요약

본 발명은 콘택 저항을 최소화시키는 콘택 구조를 갖는 반도체 장치 및 그의 제조 방법에 관한 것으로, 반도체 기판 상에 서로 다른 물질로 다층 층간절연막을 형성한다. 상기 다층 층간절연막을 건식 식각 하여 상기 반도체 기판의 일부가 노출 되도록 콘택홀을 형성한다. 상기 다층 층간절연막을 습식 세정으로 식각 하되, 하부 층간절연막의 식각률이 상부 층간절연막의 식각률보다 상대적으로 더 큰 용액을 사용하여 식각 함으로써 상기 콘택홀 하부의 크기를 선택적으로 증가시킨다. 이와 같은 반도체 장치 및 그의 제조 방법에 의해서, 서로 다른 습식 식각률을 갖는 물질을 사용하여 다층 층간절연막을 형성함으로써, 콘택홀 하부의 크기를 선택적으로 증가시킬 수 있고, 콘택홀 하부의 선택적인 크기 증가를 습식 세정으로 수행함으로써 콘택 저항을 최소화시킬 수 있다. 또한, 콘택홀 상부의 크기를 줄임으로써 금속 라인의 피치 조건을 만족시킬 수 있다.

대표도

도2

영세서

도면의 간단한 설명

도 1a 내지 도 1b는 종래의 금속 콘택 구조를 보여주는 단면도;

도 2는 본 발명의 실시예에 따른 금속 콘택 구조를 보여주는 단면도;

도 3a 내지 도 3c는 본 발명의 실시예에 따른 금속 콘택 형성 방법을 순차적으로 보여주는 단면도;

도 4는 도 3c의 금속 콘택의 하부를 보여주는 정면도.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|----------------|----------------|
| 1, 10 : 반도체 기판 | 2 : 층간절연막 |
| 3, 4 : 콘택홀 | 12 : 하부 층간절연막 |
| 14 : 상부 층간절연막 | 16a : 하부 콘택홀 |
| 16b : 상부 콘택홀 | 18 : 콘택 필링 금속 |
| 20 : 금속 라인 | 24 : 콘택홀 하부 영역 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그의 제조 방법에 관한 것으로, 좀 더 구체적으로는 저저항(low resistance) 금속 콘택(metal contact) 구조를 갖는 반도체 장치 및 그의 제조 방법에 관한 것이다.

반도체 장치가 고집적화 됨에 따라, 피쳐 크기(feature size)가 감소되고 있다. 금속 콘택(metal contact)의 경우, 콘택의 크기는 줄어드는 반면, 깊이는 더욱 증가하여 콘택 에스펙트 비(contact aspect ratio)가 증가되고 있다.

또한, 금속 콘택 상의 금속 라인(metal line)의 피치(pitch)가 타이트(tight) 해지기 때문에, 금속 콘택의 상부와 오버랩(overlap) 되는 금속 라인의 디자인 룰(design rule)도 매우 타이트하게 된다.

도 1a 내지 도 1b는 종래의 금속 콘택 구조를 보여주는 단면도이다.

상술한 바와 같은 이유로, 금속 콘택홀의 상부 오프닝(opening) 크기를 금속 콘택홀의 하부 오프닝 크기와 같거나 약간 큰 정도로 형성해야 한다.

즉, 도 1a에 도시된 바와 같이, 수직 콘택홀(vertical contact hole)(3)을 형성해야 한다. 그러나, 실질적으로 상기 수직 식각은 어렵고 도 1b에 도시된 바와 같이, 약간의 경사진 콘택홀(sloped contact hole)(4)이 형성된다.

참조 번호 1은 반도체 기판을 나타내고, 참조 번호 2는 층간절연막(Inter Layer Dielectric)을 나타낸다.

따라서, 깊고 작은 콘택(deep small contact)의 경우, 콘택홀 하부의 크기가 매우 작아지게 되어, 금속 콘택 저항의 증가 뿐 아니라, 콘택의 크기 감소에 따른 전류 밀도(current density)의 증가, 그리고 줄(joule) 열 발생 등 금속 콘택을 열화

시키는 문제점이 발생된다.

발명이 이루고자하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 콘택홀의 상부 크기는 줄임으로써 금속 라인의 피치 조건을 만족시킬 수 있고, 콘택홀의 하부 크기는 증가시킴으로써 콘택 저항을 감소시킬 수 있는 반도체 장치 및 그의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

(구성)

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 제조 방법은, 반도체 기판 상에 서로 다른 물질로 다층 층간절연막을 형성하는 단계와; 상기 다층 층간절연막을 건식 식각 하여 상기 반도체 기판의 일부가 노출되도록 콘택홀을 형성하는 단계와; 상기 다층 층간절연막을 습식 세정으로 식각 하되, 하부 층간절연막의 식각률이 상부 층간절연막의 식각률보다 상대적으로 더 큰 용액을 사용하여 식각 함으로써, 콘택홀 하부의 크기가 선택적으로 증가되도록 하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 하부 층간절연막은, BPSG와 SOG 계열의 산화막 중 어느 하나이다.

이 방법의 바람직한 실시예에 있어서, 상기 상부 층간절연막은, USG 및 HDP(High Density Plasma) 산화막 중 어느 하나이다.

이 방법의 바람직한 실시예에 있어서, 상기 반도체 장치의 콘택 형성 방법은, 상기 콘택홀에 배리어막 및 콘택 금속막을 차례로 형성하되, CVD 방법으로 형성하는 단계를 더 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 습식 세정 용액은, HF 용액을 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치는, 반도체 기판 상에 형성된 다층 층간절연막과; 상기 다층 층간절연막은, 서로 다른 물질로 형성된 하부 층간절연막과 상부 층간절연막을 포함하고, 상기 다층 층간절연막을 식각 하여 형성된 콘택홀을 포함하고, 상기 다층 층간절연막의 하부 층간절연막을 식각 하여 형성된 콘택홀 하부의 크기가 상부 층간절연막을 식각 하여 형성된 콘택홀 하부의 크기 보다 상대적으로 더 크게 형성되어 있다.

이 장치의 바람직한 실시예에 있어서, 상기 하부 층간절연막은, BPSG와 SOG 계열의 산화막 중 어느 하나이다.

이 장치의 바람직한 실시예에 있어서, 상기 상부 층간절연막은, USG 및 HDP(High Density Plasma) 산화막 중 어느 하나이다.

(작용)

본 발명에 의한 반도체 장치 및 그의 제조 방법은 금속 콘택 저항을 감소시킨다.

(실시예)

도 2를 참조하면, 본 발명의 실시예에 따른 신규한 반도체 장치 및 그의 제조 방법은, 반도체 기판(10) 상에 서로 다른 물질로 다층 층간절연막(12, 14)을 형성한다. 상기 다층 층간절연막(12, 14)을 건식 식각 하여 상기 반도체 기판(10)의 일부가 노출되도록 콘택홀(16)을 형성한다. 상기 다층 층간절연막(12, 14)을 습식 세정으로 식각 하되, 하부 층간절연막

(12)의 식각률이 상부 층간절연막(14)의 식각률보다 상대적으로 더 큰 용액을 사용하여 식각 함으로써 상기 콘택홀(16) 하부의 크기를 선택적으로 증가시킨다. 이와 같은 반도체 장치 및 그의 제조 방법에 의해서, 서로 다른 습식 식각률을 갖는 물질을 사용하여 다층 층간절연막(12, 14)을 형성함으로써, 건식 식각 후 콘택홀(16) 하부의 크기를 선택적으로 증가시킬 수 있고, 콘택홀(16) 하부의 선택적인 크기 증가를 습식 세정으로 수행함으로써 콘택 저항을 최소화시킬 수 있다. 또한, 콘택홀(16) 상부의 크기를 줄임으로써 금속 라인의 피치 조건을 만족시킬 수 있다.

이하, 도 2 내지 도 4를 참조하여 본 발명의 실시예를 상세히 설명한다.

도 3a 내지 도 3c에 있어서, 도 2에 도시된 반도체 장치의 구성 요소와 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기한다.

도 2는 본 발명의 실시예에 따른 금속 콘택 구조를 보여주는 단면도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 금속 콘택 구조는, 반도체 기판(10)과, 다층 층간절연막(12, 14)과, 콘택홀(16)과, 콘택 필링 금속(contact filling metal)(18)과, 금속 라인(20)을 포함한다.

상기 층간절연막들(12, 14)은, 상기 반도체 기판(10) 상에 서로 다른 물질을 사용하여 차례로 형성된 하부 층간절연막(12) 및 상부 층간절연막(14)을 포함한다.

상기 하부 층간절연막(12)은, BPSG(BoroPhosphoSilicate Glass)와 SOG(Spin On Glass) 계열의 산화막 중 어느 하나이다.

상기 상부 층간절연막(14)은, USG(Undoped Silicate Glass)와 HDP(High Density Plasma) 산화막 중 어느 하나이다.

상기 콘택홀(16)은, 상기 하부 층간절연막(12)을 식각 하여 형성된 하부 콘택홀(16a)과, 상기 상부 층간절연막(14)을 식각 하여 형성된 상부 콘택홀(16b)을 포함한다.

상기 상부 콘택홀(16b) 하부의 크기 보다 상기 하부 콘택홀(16a) 하부의 크기가 상대적으로 더 크게 형성되어 있다. 이러한 구조는 미세한 금속 콘택의 저항을 감소시킨다.

상기 콘택 필링 금속(18)은, 상기 콘택홀(16)을 채우도록 순차적으로 형성된 배리어막(barrier layer) 및 콘택 금속막을 포함한다.

상기 금속 라인(20)은, 상기 콘택 필링 금속(18) 상에 상기 콘택 필링 금속(18)과 전기적으로 접속되도록 형성되어 있다.

도 3a 내지 도 3c는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 순차적으로 보여주는 단면도이다.

도 3a를 참조하면, 상술한 바와 같은 반도체 장치의 금속 콘택의 제조 방법은 먼저, 반도체 기판(10) 상에 다층 층간절연막(12, 14)을 형성한다.

상기 다층 층간절연막(12, 14)은, 서로 다른 물질로 형성된 층간절연막들로서, 하부 층간절연막(12) 및 상부 층간절연막(14)을 포함한다.

상기 하부 층간절연막(12)은, BPSG 및 SOG 계열의 산화막 중 어느 하나로 형성한다. 그리고, 상기 상부 층간절연막(14)은, USG 및 HDP 산화막 중 어느 하나로 형성한다.

도 3b에 있어서, 상기 다층 층간절연막(12, 14)을 식각 하여 콘택홀(16)을 형성한다. 상기 식각은 건식 식각 방법이 사용된다.

그러면, 상기 콘택홀(16)은 막간의 기울기를 갖도록 형성되어 콘택홀 하부가 그 상부 보다 상대적으로 작게 형성된다. 상기 건식 식각에 의해 콘택홀(16) 하부가 미량 식각 된다.

마지막으로, 상기 다층 층간절연막(12, 14)의 일부를 습식 세정으로 식각 하면 도 3c에 도시된 바와 같이, 상기 하부 콘택홀(16a)의 크기가 선택적으로 증가된 프로파일(profile)을 갖는 콘택홀(16)이 형성된다.

이것은 상기 하부 층간절연막(12)과 상부 층간절연막(14)의 식각률의 차이에 의해 형성된 것으로, 상기 습식 세정 용액은 HF를 포함한다.

즉, 상기 하부 층간절연막(12)은 상기 HF 용액에 대해 상기 상부 층간절연막(14) 보다 상대적으로 큰 식각률을 갖는다.

이로써, 상기 하부 콘택홀(16a)의 하부의 크기가 상기 상부 콘택홀(16b)의 하부의 크기보다 상대적으로 크게 형성된다. 즉, 상기 하부 층간절연막(12)과 상부 층간절연막(14)의 경계 부분에서 콘택홀(16) 크기가 증가된다.

예를 들어, 상기 하부 콘택홀(16a)의 하부의 크기가 약 $0.2 \mu\text{m}$ 이고, 상기 습식 세정에 의해 상기 하부 콘택홀(16a)의 양 측면의 하부 층간절연막(12)이 각각 $0.03 \mu\text{m}$ 정도 식각 되는 경우, 금속 콘택의 하부 면적은 약 70 % 정도 증가하게 된다.

본 발명에 따른 상술한 바와 같은 콘택 프로파일(contact profile)에 있어서, 후속 공정으로 형성되는 금속 콘택 배리어막의 스텝 커버리지(step coverage)가 문제가 될 수 있다. 실제로, 상기 배리어막을 스퍼터링 방법으로 형성하는 경우, 경사가 급변하는 상기 하부 층간절연막(12)과 상부 층간절연막(14)의 경계 부분에 배리어막이 형성되지 않아, 후속 콘택 금속막 형성시 어택(attack)을 받게 된다.

그러면, 콘택 금속막이 리프팅(lifting) 되는 이 분야에서 잘 알려진 볼케노 디펙트(volcano defect)가 발생된다.

그러나, 상기 배리어막을 CVD(Chemical Vapor Deposition) 방법으로 형성하게 되면 그 문제를 해결할 수 있다. 상기 배리어막은 Ti 및 TiN, 그리고 WN 등이 사용된다.

도 4는 도 3c의 금속 콘택의 하부를 보여주는 정면도이다.

도 4를 참조하면, 상기 도 3c의 금속 콘택의 하부 영역은, 반도체 기판(10)의 정면에서 보게 되면 참조 번호 24로 나타난 바와 같이, 중심부에 상기 건식 식각 방법에 의한 손상 영역(24a)과, 상기 습식 세정에 의한 손상되지 않은 영역(24b)을 포함한다.

참조 번호 15는 상기 습식 세정 전의 하부 층간절연막(12)의 콘택 프로파일을 나타낸다. 즉, 상기 건식 식각 방법에 의해 형성된 콘택 프로파일을 나타낸다.

이로써, 상기 손상되지 않은 영역(24b)에 대해서는 반도체 기판(10)의 소모도 없기 때문에 매우 낮은 금속 콘택 저항을 얻게 된다.

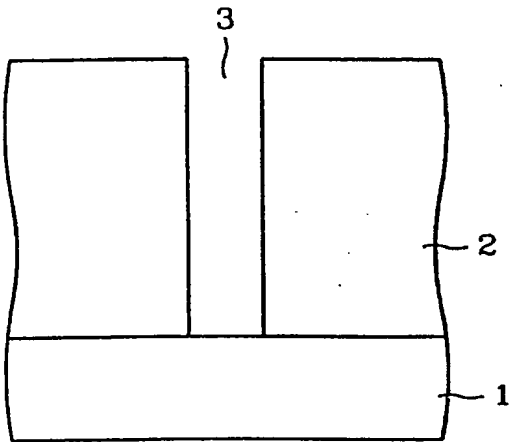
후속 공정은 상기 금속 콘택의 경우, 콘택홀이 CVD 방법에 의한 배리어막 및 콘택 금속막으로 채워지고, 메모리 셀 콘택의 경우, 콘택홀이 CVD 방법에 의한 도핑된 폴리실리콘막 등으로 채워진다.

발명의 효과

본 발명은 서로 다른 습식 식각률을 갖는 물질을 사용하여 다층 층간절연막을 형성함으로써, 콘택홀 하부의 크기를 선택적으로 증가시킬 수 있고, 콘택홀 하부의 선택적인 크기 증가를 습식 세정으로 수행함으로써 콘택 저항을 최소화시킬 수 있다. 또한, 콘택홀 상부의 크기를 줄임으로써 금속 라인의 피치 조건을 만족시킬 수 있는 효과가 있다.

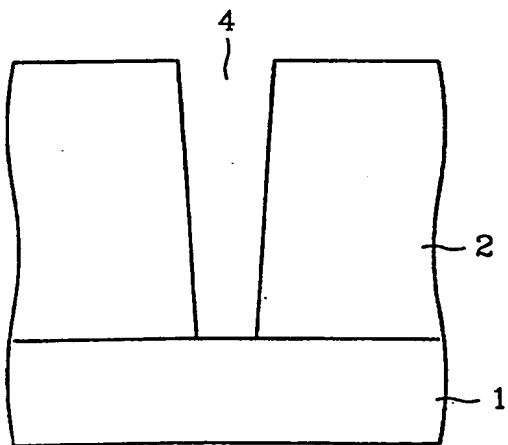
도면 1a

(종래기술)

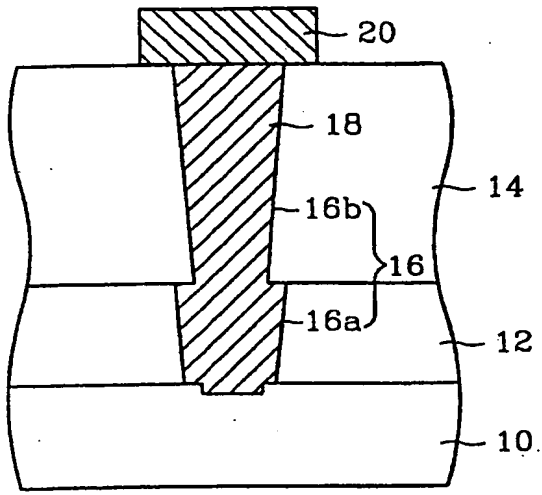


도면 1b

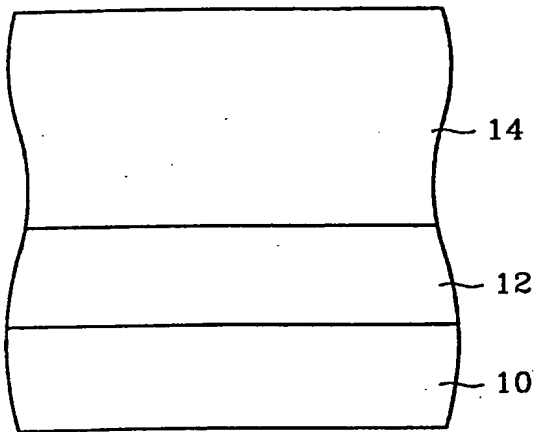
(종래기술)



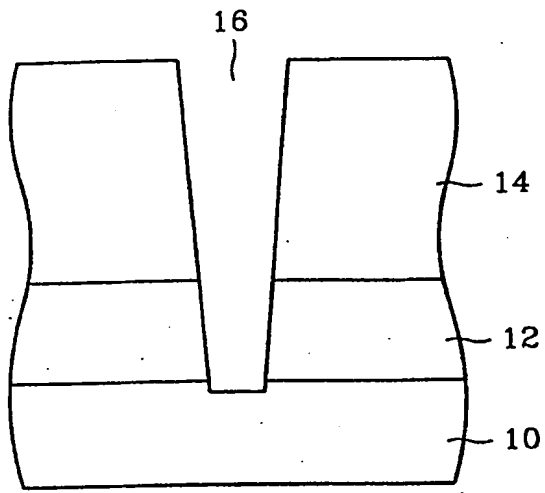
도면 2



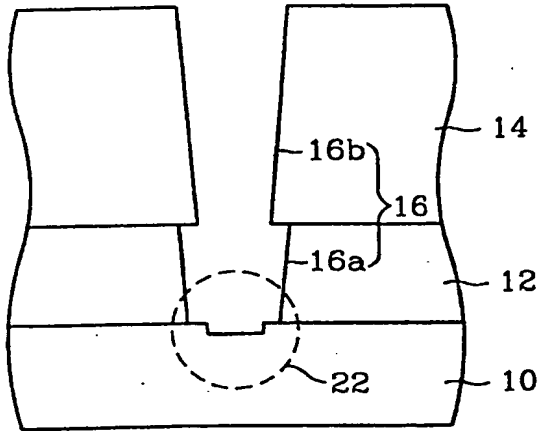
도면3a



도면3b



도면3c



도면4

